

(10) 등록번호 (11) 002

(22) 公開特許公報 (A)

(13) 특허등록번호

특례05-90207

등록일자 1993.04.09. 10시 00분

(54) 발명의 제목	5.3.6.1) 1) 내장부재	P.T.	1) 내장부재
1) 1. L 21/23	5.3.1) T 7733 4M		
21/285	5.3.1) R 7734 4M		
21/325			
21/90	C 7535 4M 7536 4M	1) 1. L 21/85 K	1) 1. L 21/85 K 5.3.6.2) 本發明 5.3.6.3) 本發明 2(5.3.6.4)
(21) 출원번호	특례05-90207	(71) 발명인	5.3.6.4) 本發明 2(5.3.6.4)
(22) 출원일자	99.3.9. 1993.04.09. 10시 00분	(72) 발명장	5.3.6.4) 本發明 2(5.3.6.4)
		(73) 출원장	5.3.6.4) 本發明 2(5.3.6.4)
		(74) 대체어	5.3.6.4) 本發明 2(5.3.6.4)

(34) 【출원인명】 本發明 2(5.3.6.4)

6) 【要約】

【目的】 本發明は、微細化に際してもコンタクト抵抗が十分に小さく信頼性の高い半導体装置を提供することを目的とする。

【構成】 本發明では、半導体基板上に深さの異なる複数のコンタクトホールを形成し、コンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ深いほうのコンタクトホールに選択的に第1の導体層を埋め込み、この後同一工程で第2の導体層を各コンタクトホールに埋め込むようにしている。



【特許請求の範囲】

【請求項1】半導体基板上に深さの異なる第1および第2のコンタクトホールを形成するコンタクトホール形成工程と、前記第1および第2のコンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ深いほうのコンタクトホールに選択的に第1の導体層を埋め込む第1の埋め込み工程と、前記第1および第2のコンタクトホールに第2の導体層を埋め込む第2の埋め込み工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上に深さの異なる第1および第2のコンタクトホールを形成するコンタクトホール形成工程と、前記第1および第2のコンタクトホール内に露呈する下地層表面に深い方のコンタクトホールよりも浅い方のコンタクトホールが厚くなるように酸化物を形成する酸化工程と、深い方のコンタクトホール下の下地層が露呈するように表面を軽くエッチングし、該下地層を選択的に露呈せしめるエッチング工程と前記コンタクトホールの深さの差に相当する分だけ前記下地層上に選択的に第1の導体層を埋め込む第1の埋め込み工程と、前記第1および第2のコンタクトホールに第2の導体層を埋め込む第2の埋め込み工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に係り、特に、コンタクトホールの埋め込みおよび選択成長に関する。

【0002】

【従来の技術】近年、半導体装置の高集積化に伴い、回路の微細化は進む一方であり、例えばゲート電極や、ソース・ドレイン拡散層と金属酸化膜との接続を行うための接続部の面積は非常に小さくなっている。

【0003】この結果、コンタクトホールのアスペクト比が大きくなるため、酸化膜のステップカバレッジが悪くなり、段差の部分で薄くなることにより抵抗が増大するという問題が生じてくる。

【0004】これを解決する方法として、コンタクトホール内にタンガステンなどをCVD法で選択的に埋め込み、この後にアルミニウムなどの酸化膜を形成するという方法が提案されている。このような方法をとることによって、酸化膜のステップカバレッジが良くなり、抵抗が減少するため半導体の性能向上には非常に有利である。

【0005】しかしながら、深さが異なるコンタクトホール内にタンガステンなどを選択的に埋め込む場合、深いコンタクトホールの場合はタンガステンなどがあふ

れ、一方深いコンタクトホールでは完全に埋まらないという構造になる。

【0006】例えは、図4(a)に示すようにシリコン基板1表面を覆う層間絶縁膜2aに形成されたコンタクトホールH1, H2を埋め込む場合、基板1表面に形成された拡散層1aにコンタクトする深いコンタクトホールH1に合わせてタンガステン層6の埋め込みを行うと、素子分離膜2a上の多結晶シリコン膜3aとモリブデンシリサイド膜4aとからなるワード線等の酸化膜にコンタクトする深いコンタクトホールH2ではタンガステン層6がコンタクトホール外へあふれた形状となる。このため、エッチング工程などの平坦化工程が必要となる。

【0007】また、図4(b)に示すように、素子分離膜2a上の多結晶シリコン膜3aとモリブデンシリサイド膜4aとからなるワード線等の酸化膜にコンタクトする深いコンタクトホールH2に合わせてタンガステン層6の埋め込みを行うと、基板1表面に形成された拡散層1aにコンタクトする深いコンタクトホールH1では、完全に埋まらないためこの上層に形成される酸化膜のステップカバレッジが悪くなり、酸化膜抵抗が増大したり、エレクトロマイグレーションが起こり易くなるという問題がある。

【0008】

【発明が解決しようとする課題】このように深さの異なるコンタクトホールを埋め込む場合、いずれに合わせても一方の側に不都合が生じ、酸化膜抵抗を増大したり、エレクトロマイグレーションが起こり易くなる等の問題があった。

【0009】また、複数の導体層が露呈している場合に、ある領域にのみ選択的に薄膜成長を行おうとする、非成長領域にマスクを形成しなければならないため、パターニング工程が必要となり、工程数が増える他、微細化に際しても極めて深刻な問題となっている。

【0010】本発明は、前記実情に鑑みてなされたもので、微細化に際してもコンタクト抵抗が十分に小さく信頼性の高い半導体装置を容易に提供することを目的とする。

【0011】

【課題を解決するための手段】そこで本発明の第1では、半導体基板上に深さの異なる複数のコンタクトホールを形成し、コンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ深いほうのコンタクトホールに選択的に第1の導体層を埋め込み、この後同一工程で第2の導体層を各コンタクトホールに埋め込むようにしている。

【0012】また本発明の第2では、深さの異なるコンタクトホール内に露呈する下地層表面に深いほうのコンタクトホールよりも浅い方のコンタクトホールが厚くなるように表面に酸化物を形成し、深い方のコンタクトホール下の下地層が露呈するように表面を軽くエッチングし、該下地層を選択的に露呈せしめるようにしている。

【0013】

【作用】本発明の第1によれば、コンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ深いほうのコンタクトホールに選択性的に第1の導体層を埋め込み、深さをほぼ等しくした後、残りを同一工程で埋め込むようにしているため、深さの異なるコンタクトホールに対しても平坦な埋め込みを行なうことができ、酸素抵抗が小さく信頼性の高い半導体装置を得ることができる。

【0014】例えば、過酸化水素水と硫酸の混合液に浸漬すると、シリコンリッチなモリブデンシリサイドやタンゲステンシリサイド中の余剰シリコン原子はシリコン基板中のシリコン原子と比較して結合が弱いため容易に酸化され、金属シリサイド膜上の酸化膜を、シリコン基板上の酸化膜よりも厚く形成することができるということを発見し、これに着目してなされたものである。

【0015】すなわち、シリコン領域および金属珪化物領域が混在して露呈する半導体基板を、過酸化水素水と硫酸の混合液に浸漬して、金属珪化物領域に選択性的に厚い酸化膜を形成したのち、シリコン領域のみが露呈するように表面を軽くエッティングし、マスクを用いたパターニング工程を経ることなく容易に表面状態に差異を形成することができる。したがって、選択CVD法によりシリコン領域上にのみ選択性よく容易に導体層を形成することができる。

【0016】なおこの方法を第1の発明に適用すれば、容易に深さの異なるコンタクトホールの埋め込みを行うことが可能となる。

【0017】また、第1の導体層の埋め込みにより複数のコンタクトホールの深さをほぼ等しくすると述べたが、深さの差は小さければ問題なく、特に土0.2μm以下であるとよりましい。

【0018】

【実施例】以下、本発明の実施例について図面を参照しつつ詳細に説明する。

【0019】図1(1)乃至(4)は本発明実施例の半導体装置の製造工程を示す断面図である。まず、n型シリコン基板1にフィールド酸化膜2を形成したのち、分離された領域内に、多結晶シリコン膜3とモリブデンシリサイド膜4とからなるポリサイド構造の酸素線をはじめ、p型拡散層11を形成するなど素子領域を形成した後、この上層に層間絕縁膜22として酸化シリコン膜を形成する。そしてフォトリソグラフィによりこの層間絶縁膜22に、p型拡散層11にコンタクトする深いコンタクトホールH1と、酸素にコンタクトする深いコンタクトホールH2を形成し、これを過酸化水素水と硫酸とを1:3の割合で混合した処理液中に20分浸漬する。このときp型拡散層11表面よりもモリブデンシリサイド膜4表面にそれぞれ酸化膜5が形成される。ここで、モリブデンシリサイド膜4表面の酸化膜5はp型拡散層1

1表面の酸化膜5よりも厚く形成される。これはモリブデンシリサイド中の余剰シリコン原子はシリコン基板中のシリコン原子と比較して結合が弱いため容易に酸化されるためである。ここで深いコンタクトホールH1は0.8μm径で深さ1.5μm、深いコンタクトホールH2は0.8μm径で深さ0.8μmであった(図1(1))。

【0020】この後、フッ素F2を用いた反応性イオンエッティング(RIE)(0.05Torr, 50W)により、室温下で15秒間エッティングを行い、さらにランプビータを用いて350℃に昇温し、一酸化炭素を0.05Torrで600秒導入して、ウェハに吸着したフッ素を除去する。この工程により深いコンタクトホール内の酸化シリコン膜5のみを完全に除去し、p型拡散層11表面を露呈させる。このとき深いコンタクトホールH2は酸化シリコン膜5で覆われている(図1(2))。次に、セラフィータを用いてウェハを600~800℃に昇温し、SiH4を20sccm, TiCl4を1sccmの条件で400秒間導入し、拡散層11上のコンタクトホールにのみ選択性的に膜厚0.7μmのTiSi2膜5を形成する(図1(3))。このとき、TiCl4を代えて、Ti板に100~500μm径の穴を設けたTiメッシュあるいはTiを網状にしたものを700~900℃にヒータで加熱しながらHClガスを1~5sccm流し、TiCl4, TiCl2, TiCl3などの不飽和分子ガスを導入する方法も有効であり、より高選択性を持ち塩素濃度の低いTiSi2膜を形成することが可能となる。

【0021】さらに、塩化銀素BC13を用いた反応性イオンエッティング(RIE)(0.05Torr, 50W)により、室温下で100秒間エッティングを行い、モリブデンシリサイド膜4表面の酸化シリコン膜5をエッティング除去し、この後セラフィータを用いて250℃に昇温し、WF6を10sccm, SiH4を7sccmの条件で導入し、選択CVD法により、拡散層11上のTiSi2膜5上およびモリブデンシリサイド膜4上に、0.8μm程度W膜6を堆積し、この後ランプアーニールを行いW膜6の密着性を向上させる(図1(4))。そしてアルミニウム酸線を形成する(図示せず)。

【0022】このようにして形成された半導体装置は、図1(4)に示すようにコンタクトホールが完全に埋め込まれているため、酸素のステップカバレッジは極めて良好であり、酸素抵抗が増大したりすることもなく信頼性の高い物となる。

【0023】また、TiSi2膜の膜厚とコンタクト抵抗との関係を測定するため、各コンタクトホールの深さ等、他の条件は前記実施例と全く同様にして、TiSi2膜の膜厚のみを変化させたときのコンタクト抵抗の変化を図2に示す。ここで横軸はTiSi2膜の膜厚、縦軸はコンタクト抵抗を示すものとする。白丸はp型拡散層に対するコンタクトの場合、黒丸はn型拡散層に対する

るコンタクトの場合を示すものである。

【0024】この結果、TiSi2膜の膜厚が0.5μm以下なわち、W膜表面と層間絶縁膜22表面との段差が-0.2μm以下のときは、図3④に示すように、コンタクト抵抗の上昇が著しい。これは、コンタクトホール内のアルミニウム酸銅アのステップカバレッジが悪くなっているためであると考えられる。

【0025】また、TiSi2膜の膜厚が0.9μm以上なわち、W膜表面と基板表面との段差が0.2μm以上のときは、図3⑤に示すように、コンタクトホールからあふれたW膜6の周辺でアルミニウム酸銅アのステップカバレッジが悪くなっているためであると考えられる。

【0026】この結果から、段差が±0.2μm以下であるときはコンタクト抵抗の低い半導体装置を得ることができることがわかる。従って3種類以上の異なる深さを有するコンタクトホールの場合、深いコンタクトホールに埋め込まれたTiSi2膜の上面と、TiSi2膜の埋め込まれていない浅いコンタクトホール底面との深さの差が0.2μm以下であるときは酸銅抵抗の増大を抑制することができる。

【0027】このように本発明の方法を用いることによって、Wの埋め込み形状が平坦となり、エッチバック等による平坦化工程が不要となるため、工程の簡略化をはかることができる。

【0028】なお、本発明は前述した実施例に限定されるものではない。

【0029】前記実施例では、金属珪化物としてチタンシリサイドを用いたが、他のシリサイド、例えばニッケルシリサイド、コバルトシリサイド等を用いても良い。ニッケルシリサイドはニッケルカルボニルを0.05% SiH4を10mmの条件で400°C、1800秒間導入することにより、0.7μm形成することができる。またコバルトはコバルトカルボニルを昇華させて0.01% SiH4を10mmの条件で400°C、1800秒間導入することにより、0.7μm形成することができる。

【0030】また、前記実施例では、シリコン表面と金属珪化物表面との間での選択成長を用いたが、これに限定されることなく例えば多結晶シリコン膜と単結晶シリコン膜との間での酸化速度の差から、酸化膜の堆積速度

が変化するようにし、これらの間での選択成長性を利用するようにしたり、また金属膜とシリコン表面との選択性等、適宜変形可能である。

【0031】さらに、前記実施例では、第1の導体層の形成に際し選択性を有するようにコンタクトホール内に露呈する表面の表面状態を変化させる方法であれば他の方法を用いても良い。

【0032】例えば、上記実施例において、厚さの異なる酸化膜sを形成する方法として次の方法を用いても良い。すなわち、圧力0.5Torr以下の酸素雰囲気中で200乃至300°Cの温度で例えば15分の短時間熱処理を施してシリサイド表面にシリコン表面よりも厚く酸化膜を形成する方法を用いても良い。

【0033】その他、本発明の要旨を逸脱しない範囲で種々変形して実施することができる。

【0034】【発明の効果】以上説明してきたように、本発明によれば、コンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ、深い方のコンタクトホールに選択的に第1の導体層を埋め込み、残りを同一工程で埋め込むようにしているため、深さの異なるコンタクトホールに対しても平坦な埋め込みを行うことができ、酸銅抵抗が小さく信頼性の高い半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明実施例の半導体装置の製造工程図。
【図2】チタンシリサイドの膜厚とコンタクト抵抗との関係を示す図。

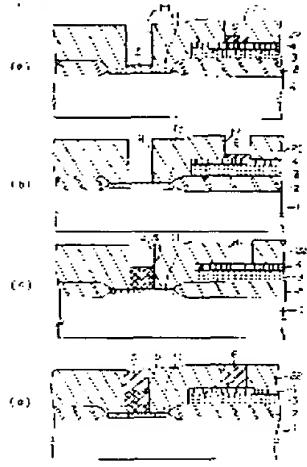
【図3】チタンシリサイドの膜厚が小さすぎた場合と、大きすぎた場合の状態を示す図。

【図4】従来例のコンタクト構造を示す図。

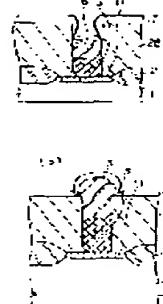
【符号の説明】

- 1 シリコン基板
- 2 フィールド絶縁膜
- 3 多結晶シリコン層
- 4 モリブデンシリサイド層
- 5 チタンシリサイド層
- 6 タングステン層
- 7 アルミニウム層
- 22 層間絶縁膜

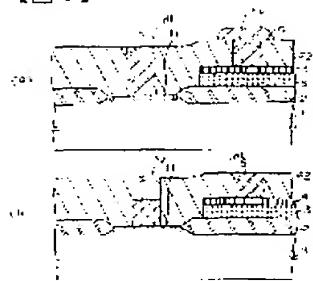
【図1】



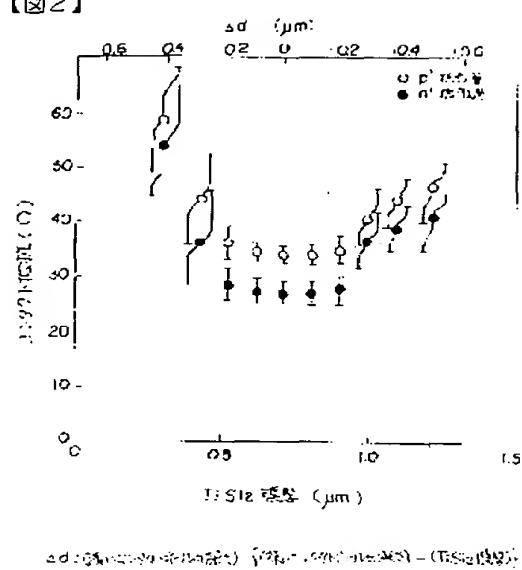
【図3】



【図4】



【図2】



△d: Ti-Si₂ 膜厚 (μm) (Ti-Si₂ 膜厚) - (Ti-Si₂ 膜厚)